

ディップコート法によって電極間に架橋した C₆₀-NW

Growth of C₆₀ whisker between electrodes by the dip coat method

日本大学理工学部 電子情報工学科 (山本研究室)

9069 田上祐貴

Department of Electronics & Computer Science

College of Science & Technology, Nihon University,

B4, Yu-ki Tagami

Abstract: 現在、シリコン系半導体の集積回路におけるダウンサイジングの限界が判明している。このような状況の打開策として、我々は現在、シリコン系半導体の集積回路の小型化の限界が明らかになってきた。このような状況の打開策として、我々は C₆₀ ウィスカーによるナノデバイスの生産を検討している。この実験では、真空蒸着装置を用いて、電極を作製した。その後、ディップコート法によって、電極間に C₆₀ ウィスカーを作製した。この際、引き上げ速度を 1 μ m/sec と 10 μ m/sec の 2 パターンで行い、C₆₀ ウィスカー成長のディップコート引き上げ速度依存性について議論した。結果として、引き上げ速度が 1 μ m/sec では基板全体に C₆₀ ウィスカーが成長していたのに対し、10 μ m/sec では基板の一部にしか C₆₀ ウィスカーが成長していなかった。これにより引き上げ速度が遅いほど多くの C₆₀ ウィスカーが成長することが分かった。

1. 背景

トランジスタというデバイスの発明以降、電子デバイスは小型化、高集積化、高速化が求められ、より小さく、より早いデバイスを作製する為の研究がおこなわれてきた。現在、シリコンを中心としたトップダウン技術では、2002年の時点で 100nm 未満の回路最小寸法が実現されている。また、電子線リソグラフィの分解能はすでに 10nm を下回っている。巨額の設備投資費を考慮しないなら数 10nm 以下の最小寸法の回路を大量生産することも可能である。しかし、以下のような物理的な問題が指摘されている。寸法のわずかなばらつきが特性に大きな影響を与える。ドーピングは統計的なばらつきが大きくなり利用できなくなる。熱の放散が困難になる。不要な量子化現象や単電子現象が現れている。このように技術的・本質的な問題を解決できない状況に直面し始め、シリコン系半導体の集積回路におけるダウンサイジングの限界が判明している。

このような状況の打開策として、素材は、無機物から分子単体で機能をもつ有機物が注目されている。有機物を自己組織化させて、電子デバイスを作製するボトムアップ法によるデバイス作製が試みられている。

そこで、本研究では C₆₀ を有機溶媒によって溶かし、その後溶液を気化させることによって得られる C₆₀ ウィスカーによるナノデバイスの作製を検討している。C₆₀ ウィスカーは C₆₀ を溶かす有機溶媒の種類を変化させることによって形状をさまざまに変化する^{[1][2]}。さらに針状に成

長した C₆₀ ウィスカーを使用したトランジスタの作製にも成功しており^{[3][4]}、C₆₀ をチャネルとしたトランジスタを簡易に作成することができる可能性を示唆している。しかしながら現段階ではその成長のメカニズムは解明されておらず、成長位置の制御もできていないため、プローブを使用し電極間に設置する、電極間に C₆₀ ウィスカーをばらまき架橋させるなどの手法がとられており、簡易に作製することが困難になっている。そこで我々は C₆₀ ウィスカーの成長位置、成長方向を制御する方法として、表面処理とディップコート法に着目した。表面処理を施し親水性を持たせることで C₆₀ ウィスカーの成長位置の制御、ディップコート法により C₆₀ ウィスカーの成長方向を制御し、トランジスタの簡易作製を目指した。本報告では C₆₀ ウィスカー成長のディップコート引き上げ速度依存性について議論する。

2. 目的

序論で述べたように、針状に成長した C₆₀ ウィスカーを使用したトランジスタの作製に成功したという事例も挙げられている。しかしながら現段階ではその成長のメカニズムは解明されておらず、成長位置の制御もできていないため、プローブを使用し電極間に設置する、電極間に C₆₀ ウィスカーをばらまき架橋させるなどの手法がとられており、簡易に作製することが困難になっている。そこで我々は C₆₀ ウィスカーの成長位置、成長方向を制御する方法として、ディップコート法に着目した。本報告で